



⑩ 日本国特許庁(JP)

(5)992  
⑩ 特許出願公開

## ⑫ 公開特許公報(A)

平1-188962

⑨ Int. Cl.

G 06 F 12/00  
12/04

識別記号

3 0 3

庁内整理番号

H-8841-5B  
A-8841-5B

⑬ 公開 平成1年(1989)7月28日

審査請求 未請求 請求項の数 1 (全8頁)

⑭ 発明の名称 電子機器

⑮ 特 願 昭63-12902

⑯ 出 願 昭63(1988)1月22日

⑰ 発 明 者 松 限 浩 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
⑱ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地  
⑲ 代 理 人 弁理士 中尾 敏男 外1名

## 明 細 書

## 1 発明の名称

電子機器

## 2 特許請求の範囲

アドレス信号により指定される記憶領域に  $m$  ( $m$  は自然数) ビットのデータを記憶し記憶したデータを  $m$  ビットごとに順次出力可能な記憶手段と、前記記憶手段の順次出力したデータに応じた表示を行う表示手段と、 $m \times n$  ( $n$  は1以上の自然数) ビットのデータ線を有する中央処理手段と、前記中央処理手段の出力したアドレス信号より前記記憶手段の  $n$  個の記憶領域に対応する  $n$  個のアドレス信号を生成し順次前記記憶手段に印加するアドレス信号発生手段と、前記アドレス信号発生手段の  $n$  個のアドレス信号の印加に対応して前記記憶手段の出力した  $n$  個のデータを結合し  $m \times n$  ビットのデータとして前記中央処理手段に与えるデータ結合手段を備えたことを特徴とする電子機器。

## 3 発明の詳細な説明

## 産業上の利用分野

本発明は、4ビット・ダイナミック・ラングムアクセスメモリー(以下、DRAMと略称する。)等の記憶手段を操作する電子機器に関するものである。

## 従来の技術

近年、コンピュータの出力機器である陰極線管(以下、CRTと略称する。)ディスプレイは、コンピュータの発達とともに要求される解像度が上がってきており、その駆動装置もまた容量の大きなメモリーを持ち、高速で読出しのできるものが求められている。このため、中央処理装置(以下、CPUと略称する。)とはパラレルにデータのやりとりを行ない、CRTディスプレイには記憶したデータを一定量ごとにシリアルに出力することが可能なデュアルポートを有するDRAMが使用されるようになってきている。

現在、このデュアルポートを有するDRAMは、それぞれ8ビットの上位アドレス(以下、ロウアドレスと称する。)と下位アドレス(以下、カラ

ムアドレスと併する。)により指定される記憶領域に4ビットのデータを記憶しているものが主流である。一方、このデュアルポートのDRAMをアクセスするCPUは8ビットのものが多い。

第⑥図は従来の電子機器の回路ブロック図であり、41、42、43、44は4ビットのデュアルポートを有するDRAM、45はCPU、46はCPU45に接続されたアドレスバス、47はCPU45に接続された8本の信号線からなるデータバス、48はCPU45がアドレスバス46を介して出力したアドレス信号のうちのロウアドレスをデコードするロウデコード、49はCPU45がアドレスバス46を介して出力したアドレス信号のうちのカラムアドレスをデコードするカラムデコード、50はデータ出力バッファ、51、52はDRAM41～44のシリアルに出力したデータを一旦蓄えるシリアルレジスタ、53は複数ラインからなる表示を行うCRTディスプレイ、54はシリアルレジスタ51及び52の出力したシリアルデータに従いCRTディスプレイ53を

駆動するCRTドライバである。

以上のように構成された本実施例の電子機器について、以下その動作について説明する。

本実施例の電子機器では、CPU45は8ビットのデータのやりとりを行うのににもかかわらず、4ビットデータを記憶するDRAM41～44を用いているため、DRAM41及び42、DRAM43及び44はそれぞれ対として同時にアクセスされ、8ビットのデータの入出力が可能となっている。

また、DRAM41～44に記憶したデータをシリアルに出力する場合、CPU45がロウアドレスデータを出力すると、そのロウアドレスデータに対応するDRAM41～44のうちの2つはロウアドレスを固定した状態で自動的に次々とカラムアドレスを更新していき、指定されたロウアドレスに対応するすべてのデータを順次出力していく。これらのデータは一旦シリアルレジスタ51及び52に保持され、結合されてCRTドライバ54に出力される。

#### 発明が解決しようとする課題

しかしながら上記従来の構成では、デュアルポートのDRAMの記憶部分が雑散的になりDRAMが有効に使用されない場合があるという問題点を有していた。これはDRAMの記憶部分の列または行がディスプレイの列または行の公倍数でない場合に起こり例えばDRAM41～44がそれぞれ700列×300行の記憶領域を持っており、CRTディスプレイ53の解像度が640画素×400行であった場合、第⑦図に示すようにDRAMを4個使用しているにもかかわらず、実際に使用されている領域はその3分の1程度と非常に無駄が多いというような場合である。この問題点を解決するため、2個のDRAMが出力したシリアルデータを2ライン分のデータに分けることが考えられるが、この場合データを分けるための手段を付加する必要が生じ、電子機器が高価なものになってしまうという問題点を生じることになる。

#### 課題を解決するための手段

本発明は、アドレス信号により指定される記憶

領域に記憶したデータを一定量ごとに順次出力可能な記憶手段と、中央処理手段の出力したアドレス信号より記憶手段の複数の記憶領域に対応する複数のアドレス信号を生成し順次記憶手段に印加するアドレス信号発生手段と、記憶手段の出力した複数のデータを結合したデータを中央処理手段に与えるデータ結合手段を備えたものである。

#### 作 用

上記構成により、記憶手段の領域を有効に使用することができる。

#### 実施例

第1図は本発明の一実施例における電子機器の回路ブロック図であり、1は16本のアドレス線と8本のデータ線を持つCPU(図では省略されている。)を含むシステム制御回路、2はシステム制御回路1の出力したアドレスからロウアドレスとカラムアドレスを生成し、それらを切り替えて出力するアドレス切替回路、3はロウアドレスとカラムアドレスで指定される各記憶領域に4ビットのデータを記憶したデュアルポートのD

RAM、4はDRAM3に印加するアドレス信号やDRAM3の出力したデータ信号の制御を行なうDRAM制御回路、5はアドレス信号をデコードし、チップセレクト信号を出力するアドレスデコーダ、6はアドレス線路である。

7、8はそれぞれ8本の信号線よりなるデータバス、9、10はシステム制御回路1の出力する読み出し信号及び書き込み信号がそれぞれ現れる読み出し信号線と書き込み信号線であり、システム制御回路1とDRAM制御回路4の間はデータバス7、8及び読み出し信号線9、書き込み信号線10で接続されている。

11は信号線よりなるDRAMアドレス信号線路、12はDRAM3のロウアドレスとカラムアドレスを切り替える信号が現れるロウアドレスカラムアドレス切替え信号線路、13はロウアドレスに対するアドレスが出力される時に出力されるロウアドレスストローブ(以下、RASと略称する。)信号線路、14はカラムアドレスに対するアドレスが出力される時に出力されるカラムア

ドレスストローブ(以下、CASと略称する。)信号線路、15は4本の信号線よりなるデータバス、16は信号線よりなるアドレスバスであり、アドレス切替え回路2は、アドレスバス16を介してシステム制御回路1及びアドレスデコード回路5に接続され、またDRAMアドレス信号線路11及びロウアドレスカラムアドレス切替え信号線路12を介してDRAM制御回路4に接続され、さらにアドレス線路6を介してDRAM3に接続されている。

17はチップセレクト信号線路であり、DRAM制御回路4は、データバス15、RAS信号線路13及びCAS信号線路14を介してDRAM3に接続され、さらにチップセレクト信号線路17を介してアドレスデコード回路5に接続されている。

35はDRAM3より1回に出力されるシリアルデータに従い1ライン分の描画を行うCRTディスプレイである。

第2図は本実施例における電子機器のDRAM

制御回路4の回路ブロック図であり、18はDRAM3に書き込むデータのうちの上位4ビットをコントロールする上位4ビット書き込みバッファ回路、19はDRAM3に書き込むデータのうちの下位4ビットをコントロールする下位4ビット書き込みバッファ回路、20はDRAM3より読み出したデータのうちの上位4ビットをコントロールする上位4ビット読み出しバッファ回路、21はDRAM3より読み出したデータのうちの上位4ビットをコントロールする下位4ビット読み出しバッファ回路、22はDRAM3より上位4ビットのデータが読み出されるまで下位4ビットのデータをコントロールする下位4ビット読み出しラッチ回路、23はロウアドレスとカラムアドレスの切り換えのタイミングを制御するタイミング回路、24はカラムアドレスの1ビットを生成するDRAMアドレス生成回路、25は上位4ビット書き込みバッファ回路18、下位4ビット書き込みバッファ回路19、上位4ビット読み出しバッファ回路20、下位4ビット読み出しバッ

ファ回路21及び下位4ビット読み出しラッチ22の制御を行うデータバス制御回路である。

26は上位4ビット書き込みバッファ回路18に上位4ビット書き込み信号を与えるための上位4ビット書き込み信号線路、27は下位4ビット書き込みバッファ回路19に下位4ビット書き込み信号を与えるための下位4ビット書き込み信号線路、28はDRAM3より出力されたデータをシステム制御回路1に与える場合に下位4ビット読み出しバッファ回路21及び下位4ビット読み出しラッチに与えられるデータ読み出し信号が現れるデータ読み出し信号線路、29はシステム制御回路1の出力したアドレスに対応するDRAM3の偶数番地と奇数番地を切替える場合にアドレスデータ切替え信号の現れるアドレスデータ切替え信号線路、30はデータバス制御回路25に制御のタイミングとなるラッチクロックを与えるラッチクロック信号線、31は下位4ビット読み出しラッチにラッチ信号を与えるためのラッチ信号線路、32はタイミングクロックの現れるタイミ

ングクロック信号線路、33は4本の信号線よりなるデータバス、34はDRAM要求信号線路である。

以上のように構成された本実施例の電子機器について、以下その動作を説明する。

まず、DRAM3よりデータを読み出す場合について第3図のタイミングチャートを用いて説明する。

システム制御回路1はアドレスバス16にアドレスデータを出力する。アドレスデコード回路5はこのアドレスデータをデコードし、DRAM制御回路4にチップセレクト信号を出力する。

またこの時、同時にシステム制御回路1はDRAM制御回路4に読み出し信号を出力している。

DRAM制御回路4の中のデータバス制御回路25にチップセレクト信号と読み出し信号が入力されると、DRAM要求信号がアクティブとなり、タイミング回路23はタイミングクロックに同期してRAS信号、ロウアドレスカラムアドレス切替信号、CAS信号を順次アクティブにしてい

く。

この時DRAMアドレス生成回路24から出力されるDRAMアドレス信号はノンアクティブとなっており、DRAM3上の偶数番地のみが選択される。

RAS信号、ロウアドレスカラムアドレス切替信号、CAS信号が順次アクティブになっていく時点で、アドレス切替回路2はシステム制御回路1が指定したアドレスを2回に分けて順次出力していく。

そしてタイミング回路23は、CAS信号をDRAM3の規定時間だけアクティブにした後ディスエーブルし、同時にラッチクロック信号を出力する。データバス制御回路25はラッチ信号を出力し、下位4ビット読み出しラッチ22はデータバス15に現れた下位の4ビットに対応するデータをラッチする。そしてこのデータは、データバス33を介して下位4ビット読み出しバッファ回路21に送出され、1回目のメモリサイクルが実行される。

次に下位4ビットのデータを読み出した後、タイミング回路23はタイミングクロックに同期してアドレスデータ切替信号をアクティブにし、DRAMアドレス生成回路24はDRAMアドレス信号をアクティブにする。このため、DRAM3は奇数番地のみが指定されることになる。タイミング回路23はCAS信号を再びアクティブとし、DRAM3から上位4ビットに対応するデータが上位4ビット読み出しバッファ回路20に送出され、2回目のメモリサイクルが実行される。この2回目のメモリサイクルでは、DRAM3のページモードを利用しているため、アドレス切替回路2はカラムアドレスのみを出力する。

次にデータ読み出し信号がアクティブとなり、上位4ビット読み出しバッファ回路20及び下位4ビット読み出しバッファ回路21に送出されていたデータがそれぞれデータバス7、8よりシステム制御回路1に出力される。

読み出しサイクルが終了すると、チップセレクト信号、読み出し信号はディスエーブルされ、タ

イミング回路23、DRAMアドレス生成回路24はリセットされる。

次に、DRAM3にデータを書き込む場合について第4図のタイミングチャートを用いて説明する。

データの読み出しの場合と同様に、システム制御回路1はアドレスバス16にアドレスデータを出力する。アドレスデコード回路5はこのアドレスデータをデコードし、DRAM制御回路4にチップセレクト信号を出力する。

またこの時、同時にシステム制御回路1はDRAM制御回路4に書き込み信号を出力している。

DRAM制御回路4の中のデータバス制御回路25にチップセレクト信号と書き込み信号が入力されると、DRAM要求信号がアクティブとなり、タイミング回路23はタイミングクロックに同期してRAS信号、ロウアドレスカラムアドレス切替信号、CAS信号を順次アクティブにしてい

く。

この時アドレス生成回路24から出力されるD

R A M アドレス信号はノンアクティブとなっており、D R A M 3 上の偶数番地のみが選択される。

R A S 信号、ロウアドレスカラムアドレス切替え信号、C A S 信号が順次アクティブになっていく時点で、アドレス切替え回路 2 はシステム制御回路 1 が指定したアドレスを 2 回に分けて順次出力していく。

そしてこの時データバス制御回路 2 5 は下位 4 ビット書き込み信号をアクティブにしており、データバス 1 5 に現れているデータは、下位 4 ビット書き込みバッファ回路 1 9 を介してデータバス 8 へ送出され、D R A M 3 の偶数番地に書き込まれ、1 回目のメモリサイクルが終了する。

次にデータの書き込みが終わった後、タイミング回路 2 3 は C A S 信号を一旦ディスエーブルする。

次にタイミング回路 2 3 はタイミングクロックに同期してアドレスデータ切替え信号をアクティブにし、D R A M アドレス生成回路 2 4 は D R A M アドレス信号をアクティブにする。このため、

リリ。

れぞれ 7 0 0 列 × 3 0 0 行の記憶領域を持つ D R A M 2 個よりなり、C R T ディスプレイ 3 5 の解像度が 6 4 0 画素 × 4 0 0 行であった場合でも、第 5 図に示すように D R A M 3 の記憶領域を有効に使用することができる。

#### 発明の効果

本発明は、アドレス信号により指定される記憶領域に記憶したデータを一定量ごとに順次出力可能な記憶手段と、中央処理手段の出力したアドレス信号より記憶手段の複数の記憶領域それぞれに対応するアドレス信号を生成し順次記憶手段に印加するアドレス信号発生手段と、記憶手段の出力した複数のデータを結合したデータを中央処理手段に与えるデータ結合手段を備えたものであり、記憶手段の領域を有効に使用することができる。

#### 4 図面の簡単な説明

第 1 図は本発明の一実施例における電子機器の回路ブロック図、第 2 図は同要部回路ブロック図、第 3 図及び第 4 図は同タイミングチャートである。

D R A M 3 は奇数番地のみが指定されることになる。タイミング回路 2 3 は C A S 信号を再びアクティブとし、データバス 1 5 に現れていたデータが上位 4 ビット書き込みバッファ回路 1 8 を介してデータバス 7 に送出され、そのデータが D R A M 3 の奇数番地に書き込まれて、2 回目のメモリサイクルが終了する。この 2 回目のメモリサイクルでは、読み出しの場合と同様 D R A M 3 のページモードを利用しているため、アドレス切替え回路 2 はカラムアドレスのみを出力する。

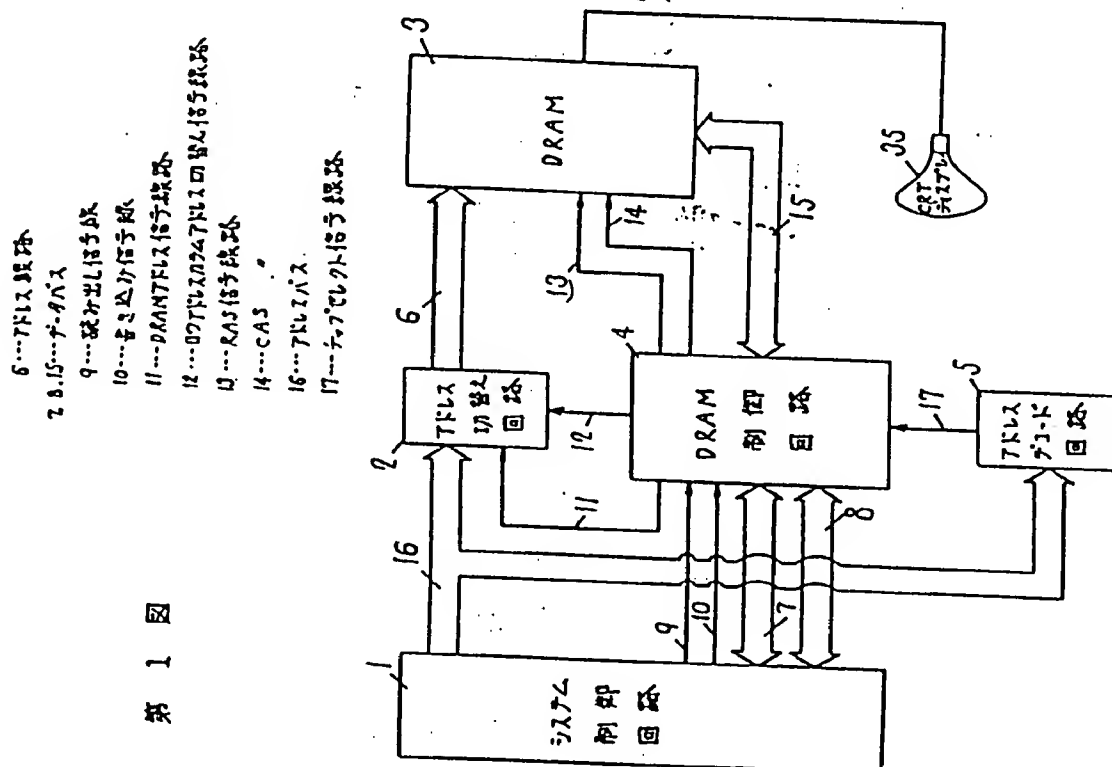
書き込みサイクルが終了すると、チップセレクト信号、読み出し信号はディスエーブルされ、タイミング回路 2 3、D R A M アドレス生成回路 2 4 はリセットされる。

以上説明したように、本実施例では 1 記憶領域にそれぞれ 4 ビットのデータを持つ D R A M 3 を偶数番地と奇数番地に分けて、システム制御回路 1 の 1 <sup>1</sup> <sub>1</sub> 位のアクセスで、D R A M 3 を 2 回アクセスすることにより、8 ビットのデータを処理するように構成しているため、例えば D R A M 3 がそ

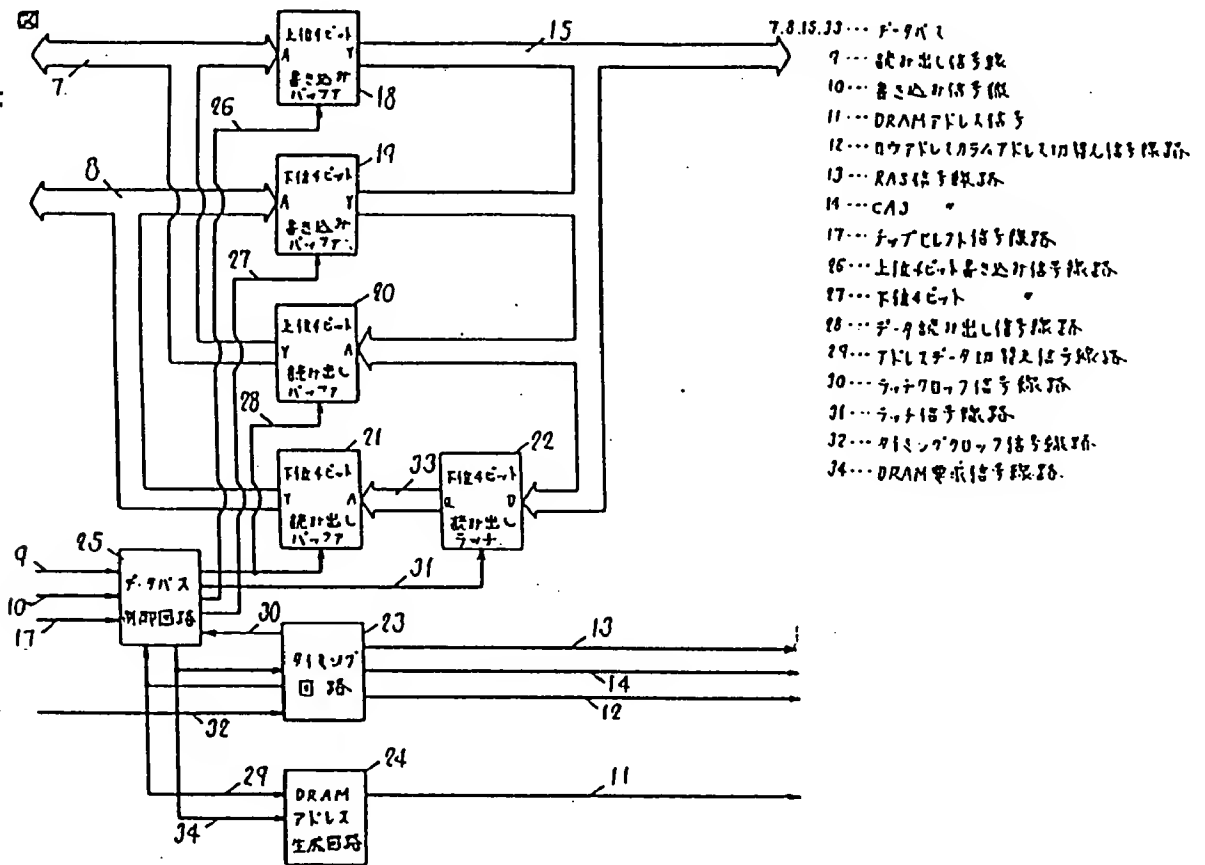
- |                           |                  |
|---------------------------|------------------|
| 1 … システム制御回路              | 2 … アドレス切替え回路    |
| 3 … D R A M               | 4 … D R A M 制御回路 |
| 5 … アドレスデコーグ              | 6 … アドレス信号線路     |
| 7、8 … データバス               | 9 … 読み出し信号線      |
| 10 … 書き込み信号線              |                  |
| 11 … D R A M アドレス信号線路     |                  |
| 12 … ロウアドレスカラムアドレス切替え信号線路 |                  |
| 13 … R A S 信号線路           | 14 … C A S 信号線路  |
| 15 … データバス                | 16 … アドレスバス      |
| 17 … チップセレクト信号線路          |                  |
| 18 … 上位 4 ビット書き込みバッファ回路   |                  |
| 19 … 下位 4 ビット書き込みバッファ回路   |                  |
| 20 … 上位 4 ビット読み出しバッファ回路   |                  |
| 21 … 下位 4 ビット読み出しバッファ回路   |                  |
| 22 … 下位 4 ビット読み出しラッチ回路    |                  |
| 23 … タイミング回路              |                  |
| 24 … D R A M アドレス生成回路     |                  |
| 25 … データバス制御回路            |                  |
| 26 … 上位 4 ビット書き込み信号線路     |                  |

- 27... 下位 4 ビット書き込み信号線路
- 28... データ読み出し信号線路
- 29... アドレスデータ切替え信号線路
- 30... ラッチクロック信号線
- 31... ラッチ信号線路
- 32... タイミングクロック信号線路
- 33... データバス
- 34... DRAM 要求信号線路

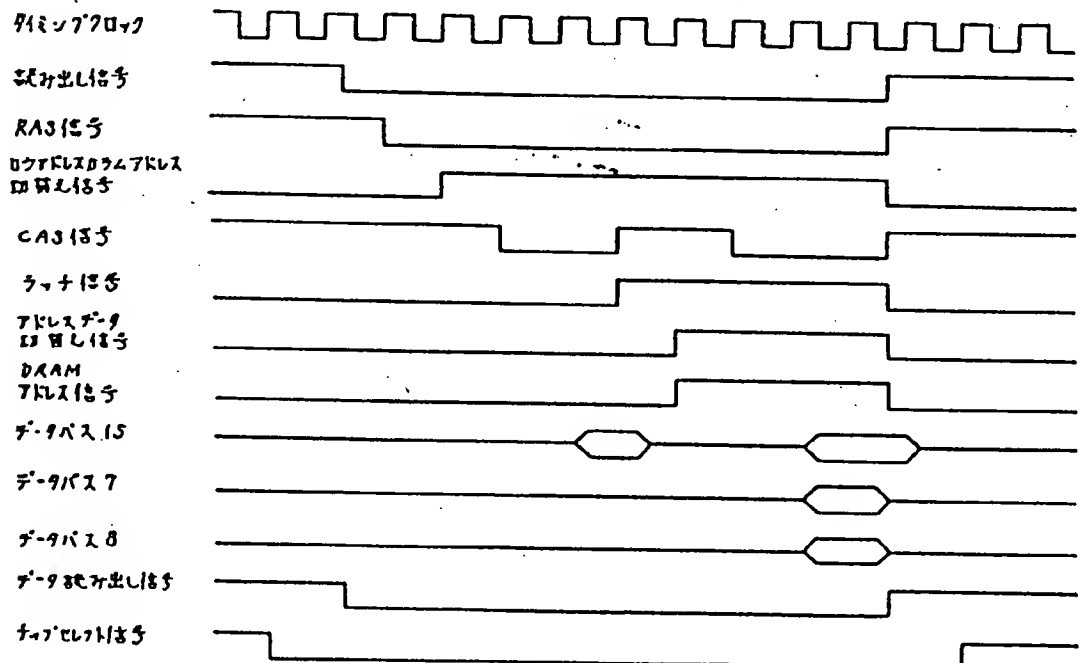
代理人の氏名 弁護士 中尾敏男 ほか1名



第 2 図



第 3 図





第 4 図

